

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.
 H01L 27/115

(11) 공개번호 특 2001-0065570
 (43) 공개일자 2001년 07월 11일

(21) 출원번호	10-1999-0065590
(22) 출원일자	1999년 12월 30일
(71) 출원인	주식회사 하이닉스반도체 박종섭 경기 이천시 부발읍 마미리 산136-1
(72) 발명자	주장철
(74) 대리인	경기도 이천시 대월면 사동리 311-8 천호빌리 2동 201호 박태진, 정은섭

설사성구 : 없음

(54) 플래쉬 메모리 소자의 제조방법

요약

본 발명은 비휘발성 메모리 소자인 플래쉬 메모리 제조공정에 사용되는 폴리간 유전체막으로 사용되는 탄탈늄옥사이드(Ta2O5) 증착시 비정질 박막 내에 완전히 산화되지 못하고 남아있는 Ta 화학증 (oxygen vacancies)의 생성을 어닝링 공정을 수행하여 억제시키고 탄소와 같은 불순물을 산화시켜 제거함으로서 전기적 특성이 개선된 폴리간 유전체막을 얻을 수 있도록 한 플래쉬 메모리 소자의 제조방법에 관한 것으로서, 탄탈늄옥사이드막 내에 존재하는 불순물의 영향을 최소화시키고, 불안정한 화학양문비율 안정화시켜서 양극의 유전체 박막을 얻을 수 있으며, 또한 탄탈늄옥사이드막을 증착한 후 고도 열처리로 결정화하여 결합력을 강화시킴으로서 박막의 폴리화학적 특성의 열화를 방지할 수가 있을 뿐만 아니라 결정화된 탄탈늄옥사이드막이 상대적으로 비정질박막 보다 높은 유전율을 얻을 수 있어 플로팅 게이트의 전하보전 능력이 향상시킬 수 있는 이점이 있다.

1. 표

도 4

특징이

플래쉬 메모리 어닝링 열처리 전하보전능력 폴리간유전막 유전체막

양세서

도면의 간접한 설명

도 1은 증래의 플래쉬 메모리 소자의 게이트구조를 나타낸 단면도이다.

도 2 내지 도 4는 본 발명에 의한 플래쉬 메모리 소자의 제조방법을 설명하기 위한 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

10 : 기판	20 : 터널산화막
30 : 플로팅게이트	40 : 탄탈늄옥사이드막
50 : 반구형상 폴리실리콘막	60 : 콘트롤게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 기술기초

본 발명은 플래쉬 메모리 소자의 제조방법에 관한 것으로서, 보다 상세하게는 비휘발성 메모리 소자인 플

레쉬 메모리 제조공정에 사용되는 풀리간 유전체막으로 사용되는 탄탈늄옥사이드(Ta205) 증착시 비정질 박막 내에 완전히 산화되지 못하고 남아있는 Ta 화학증(oxygen vacancies)의 생성을 억제시키고 탄소와 같은 불순물을 산화시켜 제거함으로서 전기적 특성이 개선된 풀리간 유전체막을 얻을 수 있도록 한 풀레쉬 메모리 소자의 제조방법에 관한 것이다.

비휘발성 메모리 소자인 풀레쉬 메모리의 풀리간 유전체막으로 사용되는 탄탈늄옥사이드를 제조하는 방법에는 노 1에서 볼 수 있듯이 기판(10)위로 터널산화막(20)을 증착한 후 전자저장전극으로 사용되는 풀로팅게이트(30)로서 도프드 풀리실리콘을 증착하고, 그 층위에 유전체막으로서 탄탈늄옥사이드막(40)을 PECVD, LPCVD, UV-photo-CVD, RF 마그네틱 스팍터링 등과 같은 방법을 이용하여 증착했다. 또한 컨트롤게이트(60)인 상부전극도 도프드 풀리실리콘을 적용하여 후속으로 포토 마스크와 식각 기술을 적용하여 풀레쉬 메모리의 적층형 게이트를 형성하여 사용하고 있다.

한편, 최근에는 탄탈늄옥사이드막(40)의 질이 우수한 PECVD와 상대적으로 박막의 질은 떨어지지만 스텝 커버리지가 우수한 LPCVD방법을 주로 이용하여 탄탈늄옥사이드막을 증착하고 있다.

그러나, 위에서 언급된 방법들 중에서 어느 방법을 쓰든지 간에 모두 탄탈늄옥사이드막은 불안정한 화학 양분비를 갖고 있어 Ta₂O₅와 같은 상태로 존재하면서 Ta와 O의 조성비 차이에 기인하여 차환된 Ta원자가 생성되고 Ta205의 원료원인 Ta(OC₂H₅)₅의 유기물과 O₂(또는 N₂O)가스의 반응으로 인해서 불순물인 탄소원자와 탄소화합물(C, CH₄등) 및 물(H₂O)이 생성된다.

따라서, 결국은 탄탈늄옥사이드막(40) 내에 불순물로 존재하는 탄소원자, 미온과 라디칼로 인해서 풀로팅 게이트의 전하보전능력이 저하하게 되고 유전특성이 열화되어 양산용 풀레쉬 메모리에 적용되기 콘란한 문제점이 있다.

발명이 이루고자 하는 기술적 과정

본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 목적은 풀레쉬 메모리의 풀리간 유전막을 LPCVD방법을 이용하여 탄탈늄옥사이드막으로 형성함에 있어 비정질 탄탈늄옥사이드의 증착과 풀라즈마 어닐링 공정을 효과적으로 반복하여 적층화으로서 탄탈늄옥사이드막 내에 존재하는 불순물의 영향을 최소화시키고, 불안정한 화학양분비를 안정화시켜서 유전막이 높은 유전막을 얻을 수 있음뿐만 아니라 전하보전능력이 향상된 적층형 게이트의 풀레쉬 메모리를 제조할 수 있도록 한 풀레쉬 메모리 소자의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명은 적층형 구조의 게이트를 갖는 풀레쉬 메모리 소자의 제조방법에 있어서, 기판위로 터널산화막과 풀로팅게이트를 차례로 증착하는 단계와, 풀로팅게이트 위로 반구형상 풀리실리콘막을 증착한 후 제 1차 어닐링 공정을 수행하는 단계와, 제 1차 어닐링 공정을 수행한 후 탄탈늄옥사이드막의 증착과 제 2차 어닐링 공정을 1회 이상 반복수행하는 단계와, 탄탈늄옥사이드막 증착과 제 2차 어닐링 공정을 반복수행하여 일정 두께의 탄탈늄옥사이드막을 증착한 후 제 3차 어닐링 공정을 수행하는 단계와, 제 3차 어닐링 공정을 수행한 후 컨트롤 게이트를 증착하는 단계를 포함하여 미루어진 것을 특징으로 한다.

위와 같이 미루어진 본 발명은 풀레쉬 메모리 소자의 풀리간 유전막으로 탄탈늄옥사이드막으로 형성함에 있어 비정질 탄탈늄옥사이드의 증착과 제 2차 어닐링 공정을 반복 수행함으로써 탄탈늄옥사이드막 내에 존재하는 불순물의 영향을 최소화시키고, 불안정한 화학양분비를 안정화시켜서 양질의 유전체 박막을 얻을 수 있으며, 또한 탄탈늄옥사이드막을 제 3차 어닐링 공정에서 고온 열처리로 결정화하여 결합력을 강화시킴으로서 박막의 풀리화학적 특성의 열화를 방지할 수가 있을 뿐만 아니라 결정화된 탄탈늄옥사이드막이 상대적으로 비정질박막 보다 높은 유전률을 얻을 수 있어 풀로팅 게이트의 전하보전능력이 향상시킬 수 있게 된다.

이하, 본 발명의 바탕적인 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리 범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 통일한 부호 및 명칭을 사용한다.

도 2 내지 도 4는 본 발명에 의한 풀레쉬 메모리 소자의 제조방법을 설명하기 위한 단면도를이다.

도 2에 도시된 바와 같이 반도체 기판(10)위로 터널산화막(20)을 증착한 후 풀로팅 게이트(30)를 증착한다. 그리고 풀로팅 게이트(30) 위로 전하보전막을 증가시키기 위하여 반구형상 풀리실리콘막(50)을 증착한다.

그럼다음 도 3과 같이 반구형상 풀리실리콘막(50)과 비정질 탄탈늄옥사이드막(40)과의 계면에 후속 공정으로 비정질 탄탈늄옥사이드막(40)을 결정화시키기 위한 제 2차 어닐링 공정에 의한 저유전률층인 산화막이 형성되는 것을 최대한 방지하기 위해 인시튜공정으로 200~400°C 온도범위에서 풀라즈마를 이용하여 NH₃(또는 N₂)분위기에서 반구형상 풀리실리콘막(50) 표면을 질화시키는 제 1차 어닐링 공정을 수행한다.

위의 제 1차 어닐링 공정에서 풀라즈마를 이용하여 반구형상 풀리실리콘막(50) 표면을 질화시키는 대신에 RTP를 이용하여 650~950°C, NH₃분위기에서 어닐링하여 질화시킨 후 인시튜 또는 익스시튜로 탄탈늄옥사이드막(40)을 증착시켜 유전체 박막을 증착시키는 일련의 연속된 어닐링 공정을 수행할 수도 있다.

그리고, 제 1차 어닐링 공정을 전기로를 이용하여 인시튜 또는 익스시튜에서 500~1000°C, NH₃ 분위기에

서 진행함으로써 절화시킬 수도 있다.

한편, 제 1차 머닐팅 공정을 수행하지 않고 전하저저장전극인 플로팅 게이트(30)를 증착한 후 반구형상 플리실리콘막(50)을 형성한 다음 인시튜 또는 익스시튜에서 HF 증기 또는 HF 액체를 사용하여 자연산화막을 제거하고 단발톱목사이드막(40)을 증착시킬 수도 있다.

이때, HF화합물을 이용하여 반구형상 폴리실리콘(50)을 표면처리하는 과정에서 HF표면처리 전후에 계면율 세정하거나 균일성을 향상시킬 목적으로 NH4OH용액 또는 H2SO4용액등의 화합물을 사용하여 계면을 처리한다.

또한, 반구형상 폴리실리콘(50)막 표면상의 자연산화막을 제거하고 세정공정을 진행한 다음 실리콘 질화막을 5~25Å 미만으로 증착한 후 시간지연없이 원하는 두께로 탄발늄옥사이드막(40)을 증착시킬 수도 있다.

그리고, 단량(동록 사이드 막(40) 증착전에 산화저항성을 증가시키기 위해 휴라즈마 또는 RTP를 이용하여 NH₃(또는 N₂/H₂)분위기에서 반구형상 휴리실리콘막(50) 표면을 300~950°C 온도범위내에서 절화시키거나 N₂O 또는 NO₂ 분위기에서 엘쳐리하여 댕글링 푸드에 기인한 구조적 결함 내지는 구조적 불균일성을 개선하여 재로팅게이트로부터의 누설전류를 향상시킨다.

그런다음, 비정질 탄탈늄 육사미드막(40)을 400~500°C의 온도 범위에서 1차 증착한 후 제 2차 어닐링 과정으로 02 플라즈마 어닐링을 수행한다. 이어서 비정질 탄탈늄 육사이드막(40)을 2차 증착한 후 다사금 제 2차 어닐링 과정으로 02 플라즈마 어닐링을 수행한다.

이때 탄탈늄 산화 사이드 막(40)은 Ta 성분의 화학증기를 Ta(OC₂H₅) 같은 Ta화합물을 MFC(Mass Flow Controller)와 같은 유량조절기를 통해 증발기 또는 증발관으로 정량 풍급한 다음 150°C ~ 200°C 온도 범위에서 증발시켜서 얻을 수도 있다.

이와 같이 비정질 탄탈늄용사이트(40)의 증착과 제 2차 머닐링 공정을 필요에 따라 1회 이상 반복함으로써 비정질 탄탈늄용사이트(40) 내부에 존재하는 치환형 Ta원자 및 탄소성분을 효과적으로 산화시켜 제거하면서 원하는 박막 두께를 형성시킵니다.

그리고, 원하는 두께의 비정질 단탈늄옥사이드막(40)을 증착한 다음 제 3차 머닐링. 공정으로 800~900°C, N₂분위기에서 10분~60분 정도 머닐링시켜 결정화를 유도한다.

위의 제 3차 어닐링 공정은 탄탈늄oks사이드막(40)을 증착한 후 컨트롤 게이트(60)인 상부전극의 산화 및 전하전도를 방지하기 위해 인시류 플라즈마를 이용하여 200~600°C, NH₃(또는 N₂/H₂, N₂O)분위기에서 어닐링하여 게이트를 질화시킴으로서 5 Å~20 Å의 질화막 또는 질산화막을 형성 시킬 수 있다.

이와 같이 질화막 형성시 인시류 및 익스시류로 N2O 또는 O2분위기에서 건식산화 또는 라이트산화시켜 결정화시키게 된다.

한편, 탄합늄oks사이드막(40)을 증착한 후 컨트롤 게이트(60)인 상부전극의 산화 및 전하전도를 방지하기 위해 제 3차 머닐링 공정으로써 전기로 또는 RTP를 이용하여 650~950°C, NH₃(또는 N₂/H₂, N₂O)분위기에서 머닐링하여 게이트을 질화시킴으로서 5A~20A의 질화막을 형성시키도록 한다.

또한, 탄탈늄 육사이드막(40)을 증착한 후에 제 3차 어닐링 공정으로써 300~950°C, NH₃(또는 N₂, N₂/H₂, N₂O) 분위기에서 인시론 또는 익스시류로 결정화를 유도하거나 계면을 활화시킨다.

그리고, 탄탈늄 옥사이드막(40nm)을 증착한 후에 제 3차 머닐링 공정으로써 RTP 또는 전기로를 사용하여 600~950°C, NH₃(또는 N₂, N₂/H₂, N₂O) 분위기에서 인시튜 또는 액스시튜로 후속 열처리를 통해 결정화를 유도하거나 계면을 정화시킨다.

또한, 탄발늄oks사이드막(40)을 증착한 후에 마이크로 크랙 또는 핀홀 등과 같은 구조적 결함 내지는 구조적 불균일성을 개선하기 위해 300~600°C, N₂O 또는 O₂분위기에서 플라즈마를 이용하여 산화시키는 제3차 어닐링 공정을 수행한다.

미래 제 3차 머닐링 풍정으로써 플라즈마를 이용하는 산화방법 대신에 RTP 또는 전기로를 사용하여 600~950°C, N₂O 또는 O₂분위기에서 인시류 또는 익스시류로 후속 열처리를 통해 결정화를 유도하거나 체연을 산화시키는 방법을 사용할 수도 있다.

또한, 민시튜 및 익스시튜로 02와 H2분위기에서 02/H2가스의 유량비를 30:1으로 정령하여 라이트 습식 산화시켜 결정화시키거나 산화시킨다.

그런 다음, 도 4에 도시된 바와 같이 탄탈늄oks사이드막(40)을 증착한 후 도프드 폴리실리콘을 증착시켜 컨트롤 게이트(60)인 상부전극을 형성함으로써 플래쉬 메모리 소자의 적층형 게이트 형성공정을 완료한다.

설명의 흐름

상기한 바와 같이 본 발명은 LPCVD 첨가를 통해 반구형상의 실리콘막을 증착한 후 인시튜에서 플라즈마를 이용하여 저온에서 실리콘 표면을 질화시키면 후속 고온 공정시 산화제가 비정질 탄탈늄 사이드막을 끌고 폴리실리콘과 반응하여 자연산화막이 계면에 형성되는 것을 최대한 방지할 수 있는 이점이 있다.

또한, 200~400°C의 낮은 온도에서 플라즈마를 이용하므로 머닐링 공정을 수행함으로써 하부전극의 열화를 방지할 수 있으며 계면의 악질도 개선시켜 플로팅게이트로 부터의 누설전류 특성을 개선시킬 수 있는 이점이 있다.

그리고, 비정질 탄탈늄 사이드 막을 결정화시켜 상대적으로 높은 유전율을 얻기 위한 어닐링과 같은 후속

고온 공정을 진행하더라도 국부적으로 산화가 진행되면서 자연 산화막보다 유전상수가 큰 실리콘 질화막이 형성되기 때문에 플로팅 게이트의 전하보전능력을 상대적으로 크게 증가시킬 수 있는 이점이 있다.

한편, 비정질 탄탈늄옥사이드막과 O2 플라즈마-머닐링을 반복 수행함으로써 치환형 Te원자 및 탄소성분을 효과적으로 산화시킴으로서 결합력을 강화시키면서 불안정한 화학양론비를 안정화시켜 누설전류의 수준을 낮추고, 혈연파괴전압을 증가시켜 탄탈늄옥사이드 풀리간 유전체의 전기적 특성을 개선시킬 수 있는 이점이 있다.

또한, 비정질 탄탈늄옥사이드막을 증착한 다음 고온에서 머닐링시켜 결정화를 유도함으로써 탄탈늄옥사이드막의 유전율을 상승시켜 플로팅 게이트의 전하보전능력을 증가시킬 수 있는 이점이 있다.

(57) 청구의 쟁취

청구항 1

적층형 구조의 게이트를 갖는 플래시 메모리 소자의 제조방법에 있어서,

기판위로 터널산화막과 플로팅게이트를 차례로 증착하는 단계와,

상기 플로팅게이트 위로 반구형상 흡리실리콘막을 증착한 후 제 1차 머닐링 공정을 수행하는 단계와,

상기 제 1차 머닐링 공정을 수행한 후 탄탈늄옥사이드막의 증착과 제 2차 머닐링 공정을 1회 이상 반복수행하는 단계와,

상기 탄탈늄옥사이드막 증착과 제 2차 머닐링 공정을 반복수행하여 일정 두께의 탄탈늄옥사이드막을 증착한 후 제 3차 머닐링 공정을 수행하는 단계와,

상기 제 3차 머닐링 공정을 수행한 후 콘트롤 게이트를 증착하는 단계

를 포함하여 이루어진 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 2

제 1항에 있어서, 상기 제 1차 머닐링 공정은

인시튜로 300~600°C, NH₃ 분위기에서 30초~10분 동안 플라즈마를 이용하여 진행하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 3

제 1항에 있어서, 상기 제 1차 머닐링 공정은

RTP를 이용하여 650~950°C, NH₃ 분위기에서 머닐링하여 질화시키는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 4

제 1항에 있어서, 상기 제 1차 머닐링 공정은

전기로를 이용하여 인시튜 또는 익스시튜에서 500~1000°C, NH₃ 분위기에서 질화시키는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 5

제 1항에 있어서, 상기 제 1차 머닐링 공정은

플라즈마 또는 RTP를 이용하여 NH₃, N₂/H₂ 가스분위기에서 300~950°C 범위내에서 진행하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 6

제 1항에 있어서, 상기 제 1차 머닐링 공정은

플라즈마 또는 RTP를 이용하여 N₂O 또는 O₂ 가스분위기에서 진행하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

청구항 7

제 1항에 있어서, 상기 탄탈늄옥사이드막은

Ta성분의 화학증기를 유량조절기를 통해 증발기 또는 증발판으로 정량 공급한 다음 150°C ~ 200°C 온도범위에서 증발시켜서 얻는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 8

제 1항에 있어서, 상기 제 2차 어닐링 공정은

인시류 플라즈마를 이용하여 200~600°C, NH₃, N₂/H₂, N₂O 중 어느 한 가스분위기에서 진행하여 5A~20A의 질화막 또는 질산화막을 형성하는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 9

제 8항에 있어서, 상기 질화막은

인시류 및 익스시류로 N₂O 또는 O₂분위기에서 건식산화 또는 라이트산화시켜 얻는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 10

제 1항에 있어서, 상기 제 3차 어닐링 공정은

800~900°C, N₂분위기에서 10분~60분 정도 진행하는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 11

제 1항에 있어서, 상기 제 3차 어닐링 공정은

전기로 또는 RTP를 이용하여 650~950°C, NH₃, N₂, N₂/H₂, N₂O 중 어느 한 가스분위기에서 진행하여 계면에 5A~20A의 질화막을 형성시키는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 12

제 1항에 있어서, 상기 제 3차 어닐링 공정은

300~950°C, NH₃, N₂, N₂/H₂, N₂O 중 어느 한 가스분위기에서 인시류 또는 익스시류로 진행하는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 13

제 1항에 있어서, 상기 제 3차 어닐링 공정은

300~600°C, N₂O 또는 O₂분위기에서 플라즈마를 이용하여 진행하는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

첨구항 14

제 1항에 있어서, 상기 제 3차 어닐링 공정은

RTP 또는 전기로 사용하여 600~950°C, N₂O 또는 O₂분위기에서 인시류 또는 익스시류로 진행하는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

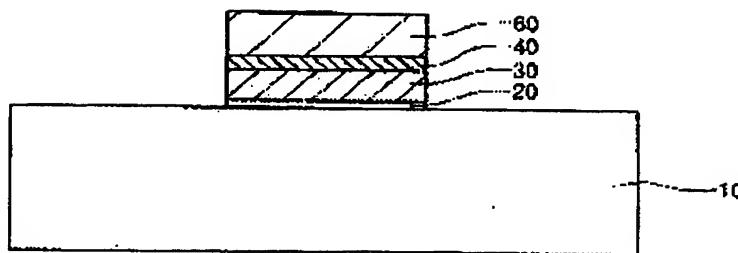
첨구항 15

제 1항에 있어서, 제 3차 어닐링 공정은

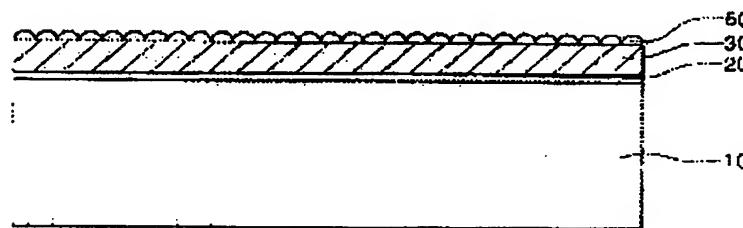
인시류 및 익스시류로 O₂와 H₂분위기에서 O₂/H₂가스의 유량비를 30:1으로 정량하여 라이트 습식 산화시키는 것을 특징으로 하는 플레쉬 메모리 소자의 제조방법.

도면

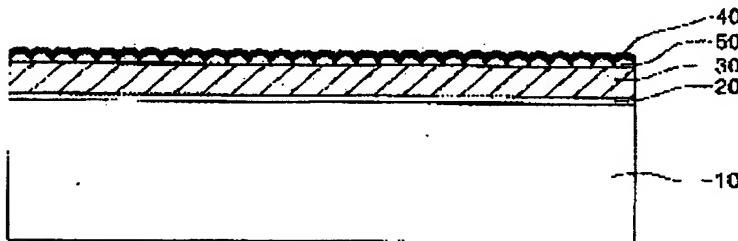
도면1



도면2



도면3



도면4

